

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-171195

(43)Date of publication of application : 30.06.1997

(51)Int.Cl.

G02F 1/136
 G02F 1/13
 G02F 1/1335
 G02F 1/1335
 G02F 1/1343
 H04N 5/74
 // G02B 5/00

(21)Application number : 08-188719

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 28.06.1996

(72)Inventor : TETSU HIDEO
 SHINTANI MASAKI
 SHIGETA MASANOBU
 NISHIHATA TOSHIHIKO
 HONMA AKIRA

(30)Priority

Priority number : 07212737 Priority date : 28.07.1995 Priority country : JP
 07293637 15.10.1995

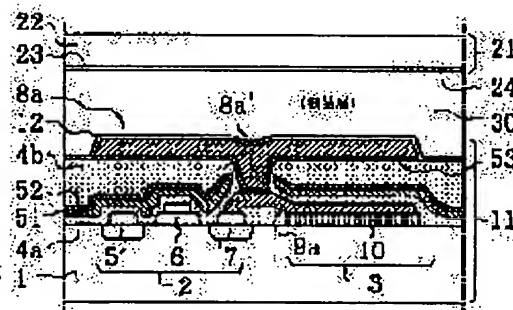
JP

(54) REFLECTION TYPE IMAGE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a high reflection factor and prevent incident light from entering a substrate to cause deterioration in picture quality.

SOLUTION: A light shield layer 51 is interposed in insulator layers 4a and 4b on condition that at least the gap area between reflecting electrode layers 8a and the overlap area of non-metal constitution areas of active element circuits 2 and 3 are included in a plan view from the incidence direction of read light; and the surface of an insulator layer 4b is flattened into an optical mirror surface state and then a reflecting electrode 8a is formed. The generation of photoconduction can be prevented since there is no area where the read light enters the substrate 1 directly and a reflection factor of $\geq 90\%$ is obtained since the surface of the reflecting electrode layer 8a has extremely high flatness. Further, reflection preventive films 52 and 53 are formed on the opposite surface sides of the reflecting electrode layer 8a and light shield layer 51, so the incidence of light reflected repeatedly between the layers can be prevented.



LEGAL STATUS

[Date of request for examination] 31.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-171195

(43)公開日 平成9年(1997)6月30日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所	
G 0 2 F	1/136	5 0 0	G 0 2 F	1/136	5 0 0
	1/13	5 0 5		1/13	5 0 5
	1/1335			1/1335	
		5 2 0			5 2 0
	1/1343			1/1343	

審査請求 未請求 請求項の数12 F D (全 15 頁) 最終頁に続く

(21)出願番号 特願平8-188719

(22)出願日 平成8年(1996)6月28日

(31)優先権主張番号 特願平7-212737

(32)優先日 平7(1995)7月28日

(33)優先権主張国 日本(J P)

(31)優先権主張番号 特願平7-293637

(32)優先日 平7(1995)10月15日

(33)優先権主張国 日本(J P)

(71)出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72)発明者 鐵 英男

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(72)発明者 新谷 正樹

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(74)代理人 弁理士 永井 利和

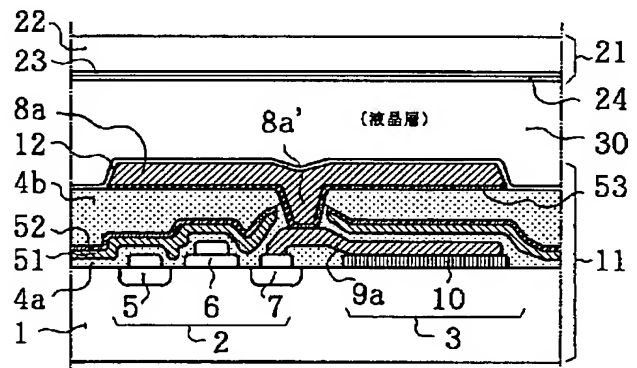
最終頁に続く

(54)【発明の名称】 反射型画像表示装置

(57)【要約】

【課題】 反射型画像表示装置において、高い反射率を実現すると共に、入射光が基板内に侵入して画品質が低下することを防止する。

【解決手段】 遮光層51を、読出し光の入射方向から見た平面図で、少なくとも各反射電極層8a間の隙間領域と能動素子回路2,3の非金属構成領域の重複領域を含むという条件で絶縁体層4a,4bの内部に介装せしめ、絶縁体層4bの表面を光学的鏡面状態まで平坦化した上に反射電極層8aを形成する。読出し光が基板1側へ直接入射する領域が存在しないためにフォトコンダクションの発生を防止でき、また反射電極層8aの表面が極めて高い平坦度で形成されるために90%以上の高い反射率を実現できる。更に、反射電極層8aと遮光層51の対向面側に反射防止膜52,53を成膜したことで、層間で多重反射した光の侵入も防止できる。



【特許請求の範囲】

【請求項 1】 基板面に、スイッチング素子、電荷蓄積容量部、前記スイッチング素子の出力端子と前記電荷蓄積容量部を接続する第 1 接続部、それらを覆う絶縁体層、その絶縁体層の表面に形成された反射電極層、及び前記絶縁体層を貫通して前記反射電極層と前記第 1 接続部を接続する第 2 接続部からなる一画素分の能動素子回路を多数個マトリクス状に配設した能動素子基板と、片面に透明な共通電極膜が形成されている透明基板と、前記能動素子基板の反射電極層側と前記透明基板の共通電極膜側の間に挟装された光変調層とで構成され、前記スイッチング素子の制御端子に入力される信号に対応して前記反射電極層と前記共通電極膜の間に電位差を生じさせ、透明基板への入射光を光変調層で変調して反射させる反射型画像表示装置において、前記絶縁体層の内部に一層又は複数層の遮光層を介装せしめ、その介装領域が読出し光の入射方向から見た平面図で少なくとも各反射電極層間の隙間領域と能動素子回路の非金属構成領域の重複領域を含むように設定されていると共に、前記絶縁体層の表面を光学的鏡面状態まで平坦化した上に前記反射電極層を形成したことを特徴とする反射型画像表示装置。

【請求項 2】 基板面に、スイッチング素子、電荷蓄積容量部、前記スイッチング素子の出力端子と前記電荷蓄積容量部を接続する第 1 接続部、それらを覆う絶縁体層、その絶縁体層の表面に形成された反射電極層、及び前記絶縁体層を貫通して前記反射電極層と前記第 1 接続部を接続する第 2 接続部からなる一画素分の能動素子回路を多数個マトリクス状に配設した能動素子基板と、片面に透明な共通電極膜が形成されている透明基板と、前記能動素子基板の反射電極層側と前記透明基板の共通電極膜側の間に挟装された光変調層とで構成され、前記スイッチング素子の制御端子に入力される信号に対応して前記反射電極層と前記共通電極膜の間に電位差を生じさせ、透明基板への入射光を光変調層で変調して反射させる反射型画像表示装置において、一層からなる遮光層を前記絶縁層の内部に介装せしめ、その介装領域が読出し光の入射方向から見て前記スイッチング素子の形成領域外に開口部を設けると共にその開口部以外の全面を覆う態様とされ、前記第 2 接続部が前記開口部を貫通していることを特徴とする反射型画像表示装置。

【請求項 3】 第 1 接続部におけるスイッチング素子の出力端子との接続部分が、少なくとも前記スイッチング素子の出力端子の形成領域を覆うように形成されている請求項 2 の反射型画像表示装置。

【請求項 4】 反射電極層を、アルミニウム、若しくは微量のシリコン又は／及び銅を含有したアルミニウムで構成した請求項 1、請求項 2 又は請求項 3 の反射型画像表示装置。

【請求項 5】 反射電極層と遮光層における両層の対向

側表面の何れか一方又は双方に、また遮光層を複数層とした場合には遮光層同志の対向側表面の何れか一方又は双方に光反射率の小さい材料からなる反射防止膜を形成した請求項 1 請求項 2、請求項 3、又は請求項 4 の反射型画像表示装置。

【請求項 6】 遮光層と能動素子回路の金属構成部における両者の対向側表面の何れか一方又は双方に光反射率の小さい材料からなる反射防止膜を形成した請求項 1、請求項 2、請求項 3、請求項 4、又は請求項 5 の反射型画像表示装置。

【請求項 7】 能動素子基板における反射電極層側の表面に、複数の誘電体膜からなる増反射膜層を形成した請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、又は請求項 6 の反射型画像表示装置。

【請求項 8】 増反射膜層が、シリコン酸化物とチタン酸化物の膜を交互に積層させ、その全体の層厚を 500 Å 以下としたものである請求項 7 の反射型画像表示装置。

【請求項 9】 各能動素子回路の反射電極層間に絶縁性材料を充填し、絶縁性材料がなす表面を光学的鏡面状態まで平坦化した請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6、請求項 7、又は請求項 8 の反射型画像表示装置。

【請求項 10】 絶縁体層の表面又は各反射電極層と各絶縁性材料がなす表面を光学的鏡面状態まで平坦化する手段が、CMP (Chemical Mechanical Polish) 法である請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6、請求項 7、請求項 8、又は請求項 9 の反射型画像表示装置。

【請求項 11】 能動素子基板がスイッチング素子を半導体基板上にトランジスタとして構成したものである場合において、各能動素子回路領域の間に、前記トランジスタの入力端子部及び出力端子部の導電型と同一導電型半導体による分離領域を形成した請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6、請求項 7、請求項 8、請求項 9、又は請求項 10 の反射型画像表示装置。

【請求項 12】 能動素子基板がスイッチング素子を半導体基板上にトランジスタとして構成したものである場合において、前記トランジスタを、その入力端子部及び出力端子部の導電型と反対の導電型であって、各トランジスタ毎に分離した半導体ウェルの領域内に形成した請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6、請求項 7、請求項 8、請求項 9、請求項 10、又は請求項 11 の反射型画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は画像を大画面に表示するための反射型画像表示装置に係り、高い反射率で光利用率を向上させると共に、入射光が基板内に侵入して

画品質が低下することを防止するための構造的改良に関する。

【0002】

【従来の技術】最近、屋外公衆用や管制業務用のディスプレイ、またハイビジョン等の高精細映像の表示用ディスプレイ等のように、映像を大画面に表示するための投射型表示装置の要望が高まっている。投射型表示装置には大別すると透過型方式と反射型方式のものがあり、前者は薄膜トランジスタと透明電極からなる画素をマトリクス状に配設した液晶パネルを透過する光を投影させる方式であり、後者は前記の液晶パネルで反射した光を投影させる方式であるが、投射型表示装置では映像を高輝度に表示することが最も重要な課題になっている。

【0003】透過型方式は、光学系の構成が比較的簡単で安価に製造できるという利点があるが、表示パネルを小型化すると画素電極の電圧を制御するトランジスタや配線が占める面積の割合が大きくなり、開口率が小さくなって画像の輝度が低下するという欠点がある。一方、反射型方式では、反射電極層の下側にトランジスタや配線を配置できるため、開口率を低下させることなく画素数を増大させて、高輝度で高解像度の画像を表示させることができる。従って、拡大投影方式の画像表示装置では、小型で高密度化が可能な反射型方式の方が適している。

【0004】反射型画像表示装置に関する研究は、例えば電子通信学会技術研究報告CMP78-71や特公昭57-39422号や特開平4-338721号等に開示されているが、現在実施されている一般的な装置には図19に示すような構造が採用されている。同図において、1はSi基板であり、その上に半導体プロセスによってMOS-FET2と電荷蓄積容量3が形成されている。ここに、4は絶縁体層、5はMOS-FET2のドレイン、6はゲート、7はソースである。また、8は絶縁体層4の上に形成されたAlの反射電極層であり、その下側の一部がMOS-FET2のソース7に接続されていると共に、その接続部分から板状の導体部9を側方へ延在せしめ、導体部9とSi基板1の間にSiO₂の絶縁膜10を介在させることで電荷蓄積容量3を構成している。即ち、Si基板1に対して一画素単位でスイッチング素子であるMOS-FET2と電荷蓄積容量部3からなる能動素子回路を形成することにより全体として能動素子基板11を構成している。一方、21は透明基板であり、ガラス基板22の片面に透明な共通電極膜23を形成した構造になっている。そして、能動素子基板11側の反射電極層8と絶縁体層4が表れた表面と、透明基板21側の共通電極膜23の表面にはそれぞれ配向膜12、24が設けられ、各基板11、21の配向膜12、24の間に液晶層30を挟装・封止して、全体として反射型画像表示装置のパネル部を構成している。

【0005】次に、この装置の動作を図20の等価回路図も参照しながら説明する。まず、ゲート6の電極には

選択信号を通電するゲート線X_jが、ドレイン5の電極には画像信号を通電する信号線Y_jが接続されている。ここで、ゲート線X_jを通じて選択信号がゲート6に印加されるとMOS-FET2はオンとなり、信号線Y_jの画像信号がドレイン5からソース7を通じて反射電極層8に印加されると共に導体部9を介して電荷蓄積容量3が充電される。また、その電荷蓄積容量3に蓄積された電荷により、ゲート線X_jの選択信号が0レベルになって非選択状態になっても電荷蓄積容量3と放電抵抗による時定数で定まる時間だけ反射電極層8の電位が保持される。

【0006】そして、その時間帯には液晶層30に対して反射電極層8と共通電極膜23の間の電位差が印加されて液晶の光透過率が変化するため、その電位差を信号線Y_jの画像信号で制御することによって、ガラス基板22へ入射した後に反射電極層8で反射して再びガラス基板22から出射する光を変調することが可能になる。具体的には、ゲート線X_jに選択信号を通電してそのX方向の全てのMOS-FET2をオン状態にし、オン状態になったMOS-FET2に接続された各電荷蓄積容量3に対して、信号線Y_jを通じて画像信号をY方向へ走査しながら書込むという方式で入射光(読出し光)を画素単位で変調した反射光を得る。

【0007】

【発明が解決しようとする課題】ところで、従来の反射型画像表示装置においても、高輝度で高品質の画像を得る上では次のような問題点が指摘されている。第1の問題点；図19に示したように、反射電極層8はMOS-FET2と電荷蓄積容量3の上側に絶縁体層4を介在させて配設されているが、Si基板1上にMOS-FET2等を形成した場合には凹凸が不可避免的に発生し、その上に形成する絶縁体層4にも凹凸が発生するために反射電極層8の表面を平坦に形成できない。従って、反射電極層8に段差部分があると読出し光が反射する際にその反射率が低下し、高輝度な画像が得られないという問題がある。

【0008】一方、その問題に対する対策として、MOS-FET2を形成する際に配線を極力平坦化する技術が提案されている(特公平1-35351号)。しかし、そのような対策手段は粗さやうねりのレベルで高々数千Å程度までの改善に留まり、輝度の向上を目的とした場合にそれほど大きな効果を望めない。例えば、反射型画像表示装置の用途として投射型テレビジョンを想定した場合、前記レベルでの凹凸が存在していても、反射光は多少散乱を生じながらも比較的小さい画面に投射されるために大きな影響が生じないが、投射型プロジェクタで大型のスクリーンに投影する場合には、入射光を非常に強くし、また反射光をレンズで拡大して画像表示を行わせるために極めて高い光の直線性が要求され、前記のような改善レベルでは高品質で高輝度な画像を得る上で殆ど実効性が得られない。即ち、投射型プロジェクタ等で優れた光

の直線性を確保させるために反射電極層8に要求される平坦度は約数十～数百Åのレベルであり、従来の対策で得られる平坦度はそのレベルには及ばない。その結果、残留した数百～数千Åの段差やうねりによって光が正規の状態では反射せず、光利用率が低下して画像全体が暗くなる。

【0009】また、併せて液晶層30の特性を一定にするためには配向膜12も平坦な下地の上に均一に形成することが重要である。以上の点を考慮すると、何れにしても反射電極層8の反射面全体が数十Åの凹凸にしておく必要があるが、現在の反射型画像表示装置でそのレベルまで平坦度を確保させたものは存在しない。

【0010】第2の問題点；反射型画像表示装置でその投射画像の輝度を上げるために読出し光を強くすると、図21に示すように、各画素毎の反射電極層8の隙間41に入射する光42がSi基板1に侵入してフォトコンダクション(外部からの光によるキャリアの発生)が生じ、MOS-FET2が正常に動作せずに反射電極層8の電位が低下して画像品質を劣化させるという問題がある。即ち、図21において、Si基板1の導電型をP型、MOS-FET2のドレイン5とソース7をN型拡散層とし、Si基板1をGND電位に保つと、反射電極層8が信号線Yjの画像信号に基づいて+電位に保持されるが、前記の隙間41からSi基板1に読出し光が侵入した場合にSi基板1内にキャリア(電子と正孔の対)が発生し、正孔はGND側へ吸収されるが、電子が+電位のドレイン5やソース7へ到達して反射電極層8の+電位が低下してしまう。

【0011】この低下電圧； $dV(V)$ は、電荷蓄積容量3を考慮せずに、光の強度を $P(W/cm)$ 、読出し光の内のSi基板1へ侵入する光の割合を $R(\%)$ 、光の波長を $r(cm)$ 、液晶層30の厚みを $L(cm)$ 、液晶の比誘電率を d とした場合に、

$$dV = 1.51 \times 10^{13} \times P \times R \times r \times (L/d)$$

で与えられる。この数式で、 $P=10$ 、 $R=0.001$ 、 $r=5000/10^{18}$ 、 $L=5/10^4$ 、 $d=10$ とすると $dV=37.8(V)$ となるが、一般的に電荷蓄積容量3の容量値は液晶層30の容量値の約10倍程度になっており、電荷蓄積容量3を考慮すると $dV=約3.8(V)$ となる。従って、読出し光の10万分の1という僅かな光がSi基板1へ侵入しても反射電極層8の電位が数ボルトも低下することになり、画像の劣化を防止する上で前記の侵入光に対する遮光対策とフォトコンダクション対策が極めて重要になる。

【0012】そのため、フォトコンダクションの問題については従来から次のような対策が提案されている。

① 半導体基板の遮光性を確保するために非晶質Siと絶縁膜を積層した多層誘電体反射膜を設け、多重反射を利用した理想的な反射膜を構成する(特公平4-51070号)。

② 能動素子部の配線の表面にチタン等の低反射率の膜を積層して乱反射光を抑制する(特開平5-241199号)。

③ 反射電極層の下側に金属膜の遮光層を設ける(特公昭61-43712号)。

④ 能動素子部の形成領域以外の半導体領域が高濃度にドーピングされており、キャリアのライフタイムを短くして能動素子に再結合するまでに消滅させる(特公平4-34313号)。

⑤ 半導体基板の導電型と反対導電型のウェルを半導体基板全面に形成しておき、そのウェルに能動素子部を形成し、光キャリアの一方をウェルに、他方を半導体基板側へ吸収させる(特開平3-288474号)。

【0013】しかし、各対策の技術にも次のような問題点がある。

①について；多層誘電体反射膜のみで完全な反射を行わせようとすると、その反射膜の層厚が大きくなり、その反射膜のインピーダンス分だけ画素電極に印加する駆動電圧を大きくしなければならず、また画素電極と共通電極の対向間隔が大きくなるために電界が側方へ拡って投射画像の解像度が低下する。

②について；能動素子部における散乱光の抑制のみでは半導体基板への浸入光を防止できず、十分な光キャリア対策とはならない。

③について；遮光層の遮光機能は一応評価できるが、各反射電極層の間から入射した光が各反射電極層と遮光層との間で多重反射し、各反射電極層と電荷蓄積部の接続部と遮光層の間に構成される隙間から半導体基板側へ光が入射する。特に、反射電極層での反射率の低さを補うために、強い読出し光を照射するとその傾向が顕著になる。尚、特公昭61-43712号では多重反射の問題についても触れており、「MOSトランジスタに届く光がないわけではない。しかしながら、金属反射電極(前記の反射電極層に相当)の大きさが開口部(前記の隙間に相当)に比べて圧倒的に大きいため、直射日光下のように10万luxを越す明るさの下でも光導電効果による電流の発生は皆無であった。」としている。しかし、拡大投射するプロジェクタ等では10万lux以上の光が読出し光として照射され、そのような機種においては多重反射に起因した光のリークは無視できない。従って、遮光層を設けるという手段だけでは未だ十分とはいえない。また、前記の隙間を小さくして浸入光を抑制することも考えられるが、実際に製造してみると、十分な効果を得ようとすれば反射電極層と遮光層が短絡してしまうことが多く、製品の歩留まりが非常に悪くなる。

④について；半導体基板の製造に際してエピタキシャル行程等の複雑なプロセスが必要となり、歩留まりの悪化とコストの問題が生じる。

⑤について；特開平3-288474号の構成を図21に対応した図22で説明する。例えば、N型のSi基板1の片側全面にP型のウェル1aを形成し、そのウェル1aにNチャンネル型のMOS-FET2を構成しておき、ウェル1aをGND電位に、Si基板1を+バイアス電位にして動作させ

ることとする。その構成の場合、浸入光によってSi基板1の下側のN型部分1bでキャリアが発生しても、正孔がウェル1a側に、電子がN型部分1で吸収されるため、MOS-FET2のドレイン5やソース7にキャリアが到達しない。ところで、MOS-FET2が正常に動作するにはウェル1aが確実にGND電位に固定されている必要がある。しかし、ウェル1aは通常3 μ m程度の厚みしかなく、またMOS-FET2の動作特性を維持するためにはある程度高抵抗にしておかねばならないが、ウェル1aのGND接続点はパネル面の周縁部でとられるため、そのGND接続点から大きく離隔した領域では電位が不安定化し、結果的にMOS-FET2の動作が不安定化して画像品質の低下を招く。以上のように、従来の遮光・フォトコンダクション対策については、単独では不十分であったり、原理的に課題が残されたりする。特に、反射率の低さを読出し光の強度で補って高い輝度を得ようとした場合に画像品質が低下するという問題があり、輝度と画像品質の相反関係は重要な課題である。

【0014】そこで、本発明は、上記の第1及び第2の問題点を合理的に解消し、高い反射率で高輝度な画像表示を可能にすると共に、強い読出し光を使用して大型のスクリーンに投影するような場合にも高い画像品質を確保できる反射型画像表示装置を提供することを目的として創作された。

【0015】

【課題を解決するための手段】本発明は、基板面に、スイッチング素子、電荷蓄積容量部、前記スイッチング素子の出力端子と前記電荷蓄積容量部を接続する第1接続部、それらを覆う絶縁体層、その絶縁体層の表面に形成された反射電極層、及び前記絶縁体層を貫通して前記反射電極層と前記第1接続部を接続する第2接続部からなる一画素分の能動素子回路を多数個マトリクス状に配設した能動素子基板と、片面に透明な共通電極膜が形成されている透明基板と、前記能動素子基板の反射電極層側と前記透明基板の共通電極膜側の間に挟装された光変調層とで構成され、前記スイッチング素子の制御端子に入力される信号に対応して前記反射電極層と前記共通電極膜の間に電位差を生じさせ、透明基板への入射光を光変調層で変調して反射させる反射型画像表示装置において、前記絶縁体層の内部に一層又は複数層の遮光層を介装せしめ、その介装領域が読出し光の入射方向から見た平面図で少なくとも各反射電極層間の隙間領域と能動素子回路の非金属構成領域の重複領域を含むように設定されていると共に、前記絶縁体層の表面を光学的鏡面状態まで平坦化した上に前記反射電極層を形成したことを特徴とする反射型画像表示装置に係る。

【0016】この発明における、遮光層の一般的配設条件が満たされていれば、少なくとも読出し光が能動素子基板の能動素子回路やベースに直接入射することを防止でき、基本的な遮光・フォトコンダクション対策が図れ

る。また、反射電極層による反射率を向上させて高輝度な投射画像を得る上では、一旦絶縁体層を鏡面状態まで平坦化し、その上に反射電極層を形成させることが極めて有効である。従来の反射型画像表示装置では、図19に示したように、スイッチング素子2の形成領域の凹凸が絶縁体層4に現われるが、何等の加工も施さずにそのまま反射電極層8を形成させているために反射型電極層8の表面に凹凸が生じている。この発明では、絶縁体層の平坦化により、スイッチング素子の段差に起因した凹凸が反射電極層に現われず、反射電極層の表面を極めて優れた平坦度で構成でき、配向膜を施す場合にも均一に成膜できる。即ち、読出し光の反射率を大きく向上させて高輝度の画像表示を実現する。尚、光変調層としては、代表的な液晶層に限らず、照射光強度に応じてキャリアが発生し、その空間的分布による電場でポッケルス効果を通じて屈折率変化(光誘起屈折率変化)が生じるPROM(Pockels Readout Optical Modulator)や、PLZT(Pb,La,Zr,Tiの化合物)の歪パイアス効果を利用したものも用いることができる。

【0017】ところで、前記の発明において、絶縁層の内部に一層の遮光層を読出し光の入射方向から見た平面図で第2接続部が貫通する開口部以外の全面を覆う態様で介装せしめ、第2接続部がその開口部を通じて反射電極層と第1接続部を接続するようにすれば、最も有効なフォトコンダクション対策となる。しかし、その場合においても、反射電極層の隙間から侵入した読出し光が遮光層で反射し、その反射光が反射電極層と遮光層の間を多重反射して第2接続部とそれを貫通させている開口部の隙間を通じてスイッチング素子部分へ到達してしまうという問題が残される。その問題に対しては、前記開口部をスイッチング素子の形成領域以外の領域に形成しておくこと、即ち、第2接続部と開口部がなす隙間をできる限りスイッチング素子の形成領域から遠ざけておくことが有効であり、それによって前記の二次的な浸入光があってもスイッチング素子部分への到達量を減じることが可能になる。

【0018】また、そのフォトコンダクション対策において、第1接続部におけるスイッチング素子の出力端子との接続部を、少なくともそのスイッチング素子の出力端子の形成領域を覆うように形成しておけば、出力端子部分を二重に覆うことができ、二次的な浸入光が出力端子へ到達する経路を更に迂回させることが可能になって大きな効果が得られる。

【0019】尚、前記の反射電極層は、一般的な電極材料であるアルミニウムに限らず、微量のシリコン又は/及び銅を含有したアルミニウムで構成することが望ましい。微量のシリコンや銅を含有させることにより、反射電極層を形成した際の表面の粗れやうねりを防止でき、更に反射率の向上を実現できるからである。

【0020】また、上記の何れの介装条件で遮光層を設

けるにしても、多重反射に伴う二次的な浸入光に基づいたフォトコンダクションに関して、更に次のような光学的対策を施しておくことが有効である。即ち、反射電極層と遮光層における両層の対向側表面の何れか一方又は双方に、また遮光層を複数層とした場合には遮光層同志の対向側表面の何れか一方又は双方に光反射率の小さい材料からなる反射防止膜を形成しておくことが有効である。多重反射光を少なくしてその散乱によるフォトコンダクションを抑制できるからである。

【0021】また、遮光層より下側に漏れる多重反射光についても、遮光層と能動素子回路の金属構成部における両者の対向側表面の何れか一方又は双方に光反射率の小さい材料からなる反射防止膜を形成しておけば、前記と同一原理でフォトコンダクションを抑制できる。

【0022】次に、前記の絶縁体層の平坦化とは別に、反射電極層での反射率を向上させる手段として、能動素子基板における反射電極層側の表面に、複数の誘電体膜からなる増反射膜層を形成しておくこと、読出し光の反射率を更に大きく向上させることが可能である。従来技術(特公平4-51070号及び特開平4-338721号)では多層誘電体反射膜で完全な反射を行わせようとするため、必然的にその層厚が大きくなって駆動電圧の増加や解像度の劣化等の問題が生じたが、本発明では増反射膜が反射電極層と相俟って反射率を向上させる役割を果たし、比較的少ない層数で反射率の大幅な改善が可能になるために前記の問題も生じない。

【0023】また、別の問題として、各反射電極層の間に凹部が存在するが、その部分は反射電極層の形成過程でバリ等が発生し易く、また表面が粗れたりする。従って、前記のように反射電極層側の表面に増反射膜層を構成する場合には、凹部での異常な増反射作用によって乱反射が発生し、投射画像のコントラストや解像度の低下を招く。その問題に対しては、各能動素子回路の反射電極層間に絶縁性材料を充填し、その絶縁性材料がなす表面を光学的鏡面状態まで平坦化することで前記の不具合を解消できる。

【0024】次に、以上の各種対策を施しても、なおかつ能動素子基板のベース基板に読出し光が浸入することがある。その問題に対しては、能動素子基板がスイッチング素子を半導体基板上にトランジスタとして構成したものである場合において、(1)各能動素子回路領域の間に、トランジスタの入力端子部及び出力端子部の導電型と同一導電型半導体による分離領域を形成した構造や、(2)トランジスタを、その入力端子部及び出力端子部の導電型と反対の導電型であって、各トランジスタ毎に分離した半導体ウェルの領域内に形成した構造を採用することが有効である。(1)の構造の場合には、ベース基板に到達した浸入光で光キャリアが発生しても分離領域で吸収され、また(2)の構造の場合には、基本的には図22で説明したと同様の原理で光キャリアの影響を防止で

きる。そして、各構造とも配線は複雑化するが、分離領域や分離したウェルに対して個別に電位が与えられるため、それらの電位はパネル全体にわたって安定したものとなる。即ち、パネル面上の全ての能動素子回路を均等な条件で安定動作させることができる。

【0025】

【発明の実施の形態】以下、本発明の反射型画像表示装置の実施形態について、図1から図18を用いて詳細に説明する。

10 《実施形態1》この実施形態に係る反射型画像表示装置の1画素分の断面構造図は図1に示される。同図において、図19と同一の符号で示されている要素は図19で説明したものと同様であり、ここではそれらに関する詳細な説明は省略する。そして、この反射型画像表示装置の特徴は、次のような能動素子基板11の構成にある。

(1) 絶縁体層4a, 4bにA1の遮光層51が介装されている。

(2) 遮光層51は、反射電極層8aと能動素子回路側の導体部9aを接続している柱状接続部8a'を貫通させるための開口部が形成されているだけで、MOS-FET2と電荷蓄積容量3の配設部分を覆うと共に、反射電極層8aの隙間においても連続している。

20 (3) 遮光層51の上側面にTiの反射防止膜52が形成されている。

(4) 遮光層51の上側にある絶縁体層4bはその上側表面が光学的鏡面状態にまで平坦化されており、その上に反射電極層8aが形成されている。

(5) 反射電極層8aは、A1若しくは微量のSi又は/及びCuを含有したA1で構成されている。

(6) 反射電極層8aにおける絶縁体層4aとの接合面、及び柱状接続部8a'における絶縁層4aと導体部9aとの接合面にTiの反射防止膜53が形成されている。

(7) その他、導体部9aは図19の導体部9のように反射電極層8aと一体形成されておらず、反射電極層8aと柱状接続部8a'が一体であり、(6)で説明したようにその柱状接続部8a'と導体部9aが接続されている。

30 【0026】次に、この反射型画像表示装置の製造工程を層・膜厚や加工条件等も含めて順次説明する。先ず、P型の単結晶Si基板1に対して、イオン注入やゲート酸化膜や電極の形成による通常のプロセスでNチャンネル型のMOS-FET2を形成する(図2)。また、MOS-FET2のソース7に隣接した領域にSiO₂の絶縁膜10を挟装させてMOS-FET2のソース7と前記絶縁膜10の表面を接続した導体部9aを形成することにより電荷蓄積容量3を構成し、更にCVD (Chemical Vapor Deposition) 法によって絶縁体層4aを形成して能動素子回路2,3を覆う(図3)。

50 【0027】次に、絶縁体層4aの上面全体にスパッタリング法によってA1を3000Åの厚みで成膜し、更にTiを1000Åの厚みで成膜した後、反射電極層8a側との接続面となる領域61をスパッタリング法で選択的に

除去する(図4)。その結果、A1の遮光層51とTiの反射防止膜52が形成される。

【0028】前記の工程の完了後、反射防止膜52とその開口領域61の全体を覆う態様でSOG等の絶縁性塗布型材料(4b)を $2\mu\text{m}$ 程度積層させる(図5)。そして、積層させた絶縁性塗布型材料(4b)の表面を、CMP (Chemical Mechanical Polish)法によって中心平均粗さで 5\AA 以下の平坦度まで鏡面研磨する(図6)。尚、この研磨手段については、SiC等の微粒子による機械研磨や、KOHやアンモニア等の化学的エッチングによるケミカル研磨や、最近発表されたPACE法(プラズマを用いた化学的エッチング; J. Vac. Sci. Technol. B12(6), Nov/Dec1994)等も適用できる。また、その研磨後に、ドライエッチング法等により、前記の開口領域61に対応する部分にそれよりも僅かに小さいスルーホール62を形成する(図7)。

【0029】次に、スパッタリング法で研磨された絶縁体層4bの表面と前記のスルーホール62の内面にTiの反射防止膜53を 500\AA 程度形成し(図8)、またスパッタリング法でA1若しくは微量のSi又は/及びCuを含有したA1を前記のスルーホール62の部分埋めながら反射防止膜53の上側に堆積させ、パターンを用いたドライエッチングによって柱状接続部8a'と厚みが 6000\AA 程度の反射電極層8aを形成する(図9)。その場合、予め絶縁体層4bの表面が前記の平坦度まで研磨されているため、A1を用いた場合には反射電極層8aの表面が中心平均粗さで 200\AA 程度の平坦度となり、また微量のSi又は/及びCuを含有したA1を用いた場合には数十 $\sim 100\text{\AA}$ の平坦度が得られる。また、Tiの反射防止膜53を成膜していることにより、反射電極層8aのA1と絶縁体層4bに含まれるSiがマイグレーションを起こして反射電極層8の表面にSiが析出することを防止できる。

【0030】以上の工程で得られた能動素子基板11は反射電極8a側の表面に配向膜12が覆設され、図1及び図10に示されるように、ガラス基板22に配向膜24が覆設された透明基板21と組み合わせられ、各配向膜12,24の間に液晶層30を挟装させることによって反射型画像表示装置が完成する。本実施形態の装置を実際に製造してみると、図19に示した構造の装置の反射率が高々50%程度であったのに対し、80%にまで向上させることができた。また、図10に示すように、遮光層51を設けるために反射電極層8aの隙間から入射する読出し光42がSi基板1へ直接浸入してしまうことが防止でき、且つ絶縁体層4bへ入射した光が反射電極層8aの下側面と遮光層51の上側面で多重反射して遮光層51の開口部と反射電極層8aの隙間を通じて遮光層51の下側へ浸入する可能性に関しても、反射電極層8aと遮光層51の対向面に反射防止膜52,53が施されていることで防止しており、フォトコンダクションの発生も抑制できた。

【0031】ところで、本実施形態では遮光層51を単一

層で全面的に構成しているが、複層構成としたり、部分的な領域への配設態様にしてもよい。但し、何れにしても、遮光層は、「読出し光の入射方向から見た平面図で、少なくとも各反射電極層間の隙間領域と能動素子回路の非金属構成領域の重複領域を含む」という介装・配設条件を有していなければならず、その条件下に読出し光がSi基板1側へ直接入射することを防止できる。(本実施形態では、読出し光の入射方向から見て、反射電極層8aの下側に全ての能動素子2,3があるために各反射電極層8a間の隙間領域のみが問題となり、遮光層51はその領域を含む態様で構成されている。)

尚、遮光層は、MOS-FET2の各端子電極とそれに接続される配線パターンや電荷蓄積部3に接続される導体部9aを平面的に大きくする方式によっても構成させることができる。

【0032】また、前記の多重反射光が遮光層51の下側へ回り込んで浸入する問題に対する対策として、遮光層51の下側面とMOS-FET2の各電極や導体部9aにTiの反射防止膜(図示せず)を施しておくと同様である。更に、前記のように遮光層を複層で構成する場合には、各遮光層の対向面側に反射防止膜を形成しておく。

【0033】《実施形態2》この実施形態に係る反射型画像表示装置の1画素分の断面構造図は図11に示される。同図において、図19と同一の符号で示されている要素に関しては、実施形態1の場合と同様にその説明を省略する。この実施形態は、実施形態1の装置において、更にその反射率を向上させるための構造に関する。そして、その特徴は、図11に示すように、図1の装置の能動素子基板11の反射電極膜8a側の表面に複数の誘電体膜からなる増反射膜層54を形成した点にある。

【0034】前記の増反射膜層54は、実施形態1における図2から図9で説明した工程が完了した後、図12に示すように、可視光の波長 λ に対して $\lambda/4$ となる厚さの SiO_2 膜と TiO_2 膜を交互に合計8層分積層させて能動素子基板11を得るが、その場合の増反射膜層54の全層厚は 5000\AA 以下になっている。そして、図11に示すように、ガラス基板22に配向膜24が覆設された透明基板21と組み合わせられ、各配向膜12,24の間に液晶層30を挟装させることによって反射型画像表示装置が完成する。

【0035】ここで、増反射膜層54を 5000\AA 以下とした理由を説明しておく。実験として、 $\lambda/4$ の光学膜厚の SiO_2 膜と TiO_2 膜を1組積層させた場合と、2組積層させた場合と、4組積層させた場合と、増反射膜層54を設けなかった場合について、可視光波長域での反射率特性を求めてみた。その場合、組の積層数を増加させると反射率が向上し、4組積層の場合では99%程度にまでなるが、組の積層数を増加させるにつれて高反射率を示す波長帯域が狭くなるという結果が得られた。高反射率特性が得られる範囲の狭帯域化に限ってみれば、帯

域を分割した増反射膜を組合せることも考えられる。しかし、組の積層数が多くなって増反射膜層54全体の層厚が大きくなると反射電極層8aと共通電極層23の間の液晶にかかる電界が拮抗を生じ、逆に解像度の劣化を招くことになる。実験的には、20line/mm以上の高解像度を得るには5000Åの層厚が限界であり、それを超えると解像度の低下率が大きくなり、層厚が1.0μmでは14line/mm、層厚が1.5μm以上になると10line/mmになることが確認された。そして、前記の条件で増反射膜54を施した結果、装置の反射率を95%まで改善できた。また、コントラストについても、従来では60:1であったものが、120:1まで改善でき、解像度の劣化もない高輝度で高品質な投射画像が得られた。

【0036】《実施形態3》この実施形態に係る反射型画像表示装置の1画素分の断面構造図は図13に示される。この実施形態の装置は、隣接する反射電極層8aの間に絶縁物55を充填し、各反射電極層8aと絶縁物55がなす表面を光学的鏡面状態まで平坦化した点に特徴がある。

【0037】実施形態2の反射型画像表示装置(図11)における能動素子基板11の表面側を見れば明らかにように、反射電極層8aの隙間には反射電極層8aの厚みに相当する6000Å程度の段差が存在する。この段差は、反射電極層8aの形成する際に発生したバリ等で異常な反射を生じさせることがある。また、増反射膜54が段差部に形成されるが、段差部は反射電極層8aを形成する際のエッチングガスで表面が粗れているため、乱反射を発生させて投射画像のコントラストを低下させる原因になる。

【0038】そこで、この実施形態では、実施形態1における図2から図9で説明した工程が完了した後、図14に示すように、SOG等の絶縁物55を反射電極層8aの間に埋める態様で1μm程度の層厚に形成し、その後実施形態1で用いた鏡面研磨手段によって反射電極層8aの表面が露出するまで研磨して絶縁物55の余分な部分を除去する。この場合、絶縁物55が反射電極層8aの表面に残留していても素子として動作するが、駆動電圧を増大させたり、後述の増反射膜層54を形成した際に反射率の低下を招く等の問題があるため、絶縁物55は反射電極層8aの表面に残留させないことが必要である。尚、絶縁物55の表面と反射電極層8aの表面は必ずしも同一平面とする必要はなく、絶縁物55の表面が乱反射を生じさせない光学的鏡面になっていれば足りる。そして、図15に示すように、研磨後の面に対して実施形態2の要領で増反射膜54を形成し、更に配向膜12を形成した後、図13に示すように、ガラス基板22に配向膜24が覆設された透明基板21と組み合わせられ、各配向膜12,24の間に液晶層30を挟装させることによって反射型画像表示装置が完成する。

【0039】この実施形態の装置によれば、反射電極層8aの間に乱反射を起こす要因がなくなるため、その意味で更なる反射率の向上が実現できる。実際に製造した装

置においても、高いコントラストで96%の反射率を安定的に確保できた。

【0040】《実施形態4》この実施形態に係る反射型画像表示装置の1画素分の断面構造図は図16に示される。図1に示した構造によると、遮光層51が柱状接続部8'を貫通させる開口部以外の領域を覆う態様で介装されていると共にその柱状接続部8'が開口部を通じて反射電極層8aと導体部9aを接続しており、反射電極層8aの下側面と遮光層51の上側面に反射防止膜52,53を設けている。

そして、反射防止膜52,53は、光が反射電極層8aと遮光層51の間を多重反射しする段階で光量を減衰させて柱状接続部8'と遮光層51の孔の隙間から遮光層51の下側への浸入する光によるフォトンダクションの発生を防止する役割を果たしている。しかし、読出し光が強力になると反射防止膜52,53だけで浸入光を完全に減衰させることは不可能であり、また前記の隙間を小さくして効果をしようとする反射電極層8aと遮光層51が短絡して製品の歩留まりが極めて悪くなることは、従来技術で説明したとおりである。

【0041】ところで、図1の構造では、柱状接続部8a'がMOS-FET2の出力端子であるソース7の近傍において導体部9aに接続されており、それに対応した位置に遮光層51の開口部が形成されている。その場合、前記の多重反射光は反射防止膜52,53で減衰されながらも柱状接続部8'と遮光層51の孔の隙間へ到達し、その隙間から遮光層51の下側へ浸入して近傍のソース7の領域へ直接入射してしまう。

【0042】そこで、この実施形態では、図16に示すように2つの特徴的対策を施している。第1の特徴は、反射電極層8aとSi基板1側のMOS-FET2及び電荷蓄積容量3の相対的位置関係は変えないが、図1の場合と比較して反射電極層8aの柱状接続部8a'を電荷蓄積容量3側へwだけ寄った位置に形成し、それに基づいて遮光層51の孔をMOS-FET2の形成領域外となる位置に構成させている点にある。第2の特徴は、MOS-FET2のソース7と電荷蓄積容量3を接続している導体部9aのソース7側をゲート6側へ延在せしめ、導体部9aでソース7の形成領域の上側を完全に覆っている点に特徴がある。従って、MOS-FET2におけるソース7の形成領域の上側については、遮光層51と導体部9aの延在部分9aで二重に覆われた構成となる。

【0043】それらの対策により、前記のように遮光層51の下側へ浸入した光はソース7の領域へ直接入射することがなくなり、wだけ遠ざけられた浸入位置から遮光層51と導体部9aの間を多重反射し、更に導体部9aの延在部分9aを迂回しなければソース7へ到達することができず、それだけソース7へ光が入射してしまう確率を減じることができる。また、この実施形態の構造は、実施形態1の製造工程における導体部9aの形成段階及びスルーホール62の形成段階でそれぞれパターンを変更するだけ

で容易に得ることができ、当然に実施形態2及び3に係る構造の適用も可能である。尚、実施形態1でも説明したように、遮光層51の下側面と導体部9aの上側面にも反射防止膜を設けておけば更に有効である。

【0044】《実施形態5》この実施形態は、実施形態1や実施形態4で各種の遮光対策を施してSi基板1への浸入光の防止を図っているが、それでもなおかつ浸入光が発生することを考慮したものであり、図17はその反射型画像表示装置の2画素分の断面構造図を示す。図10と図17の装置を対比すれば明らかなように、この実施形態は、P型のSi基板1上で隣り合う能動素子回路の間に、N型であるMOS-FET2のドレイン5やソース7と同一導電型の分離領域56が形成されている点に特徴がある。

【0045】この構造においては、Si基板1がGND電位になっているのに対して、各分離領域56が逆バイアスの(+)電位に保たれており、多重反射光が反射電極層8aの柱状接続部8'と遮光層51の開口部との隙間を通じて遮光層51の下側へ回り込んでSi基板1に到達したとしても、その際に発生したキャリアの正孔はSi基板1のGND側へ吸収され、電子は直ちに分離領域56で吸収されるため、MOS-FET2のドレイン5やソース7に電子が到達してしまうことを防止できる。従って、浸入光によるフォトンダクションが能動素子回路2,3の動作に与える悪影響を最終段階で防止でき、特に読出し光が強い場合等に画像の劣化現象を阻止できる。Si基板1の導電型がN型である場合には、ドレイン5とソース7と分離領域56がP型になり、印加される電位が逆になるだけで、同様の効果が得られることは当然である。

【0046】《実施形態6》この実施形態の目的とするところは実施形態3と同様であり、図18はその反射型画像表示装置の2画素分の断面構造図を示す。この装置は従来技術に係る図22の装置の問題点を解消するものであり、同図と図18の装置を対比すれば明らかなように、図22ではN型のSi基板1の片側全面にP型のウェル1aを形成し、その共通ウェル1aにNチャンネル型のMOS-FET2と電荷蓄積容量3を構成しているのに対し、本実施形態の図18ではウェルを共通にせず、分離したP型のウェル57に各画素毎のNチャンネル型のMOS-FET2を構成している。

【0047】そして、この実施形態の装置でも、N型のSi基板1を+電位に、各ウェル57をGND電位に設定するが、浸入光がSi基板1に到達してキャリアが発生しても、電子はGND側へ吸収され、正孔が近傍のウェル57へ吸収されることになる。従って、フォトンダクションに基づく電子がドレイン7に到達することを防止でき、画像の劣化を招かないようにできる。この実施形態の装置はキャリアの移動に関しては図22の装置と同様であるが、図22の装置のように共通ウェル1aの構造にした場合にGND接続点から大きく離隔した領域でGND

D電位が不安定化するのに対し、この実施形態の装置では各ウェル57毎にGND電位が直接与えられるため、全てのMOS-FET2が安定して動作し、画像の劣化を防止できる。Si基板1の導電型をP型にした場合にも、同一の効果が得られることは実施形態5の場合と同様である。

【0048】

【発明の効果】本発明の反射型画像表示装置は、以上のような構成を有していることにより、次のような効果を奏する。請求項1の発明は、読出し光が直接的に能動素子基板のベースに入射してフォトンダクション発生させることを防止すると共に、反射電極層での反射率を向上させ、高品質で高輝度な投射画像の表示を可能にする。請求項2の発明は、一層の遮光層を読出し光の入射方向から見た平面図で第2導体部の貫通孔以外の全面を覆う態様で介装する場合に、遮光層の孔の位置をスイッチング素子の形成領域から遠ざけることで遮光層の下側へ浸入する光に対する有効なフォトンダクション対策を実現する。請求項3の発明は、請求項2の発明において、遮光層の下側へ浸入する光がスイッチング素子へ到達する経路を長く迂回させ、更に有効なフォトンダクション対策を実現する。請求項4の発明は、反射電極層の平坦度を高め、反射率を更に向上させて高輝度な投射画像の表示を可能にする。請求項5の発明は、反射電極層と遮光層の間や、遮光層相互間の間で多重反射し、その散乱光が能動素子基板のベースに入射してフォトンダクションを発生させることを抑制し、特に強い読出し光を用いて画像を表示させる場合に、画像品質が低下することを防止する

請求項6の発明は、請求項5の効果にも拘らず、光が遮光層の下側に回り込んで多重反射して散乱する現象を防止し、画像品質の低下を防止する。請求項7の発明は、増反射膜層が反射電極層と相俟って更に反射率を向上させ、また増反射膜層の層厚がそれほど大きくならないために、高い解像度を維持しながら高輝度な投射画像の表示を実現する。請求項8の発明は、増反射膜の最適な条件を与え、高い反射率を実現する。請求項9の発明は、反射電極層間の段差部分を光学的鏡面にすることで乱反射を防止し、コントラストの低下がなく、高い反射率を安定的に確保させる。請求項10の発明は、請求項1における絶縁体層及び請求項9における反射電極層と充填絶縁物の鏡面研磨を高精度に行うことを可能にする。請求項11及び請求項12の発明は、前記の各請求項における遮光手段や散乱光の抑制手段を用いても、なおかつ光が能動素子基板のベースに入射してフォトンダクションを発生させる場合の対策として、キャリアを能動素子回路に影響を与えないように吸収させて画像の劣化を防止する。また、安定的なバイアス電位の供給により、全ての画素に係る能動素子回路を安定的に動作させる。

【図面の簡単な説明】

【図 1】本発明の実施形態 1 に係る反射型画像表示装置の 1 画素分の断面構造図である。

【図 2】実施形態 1 に係る反射型画像表示装置の製造段階を示す断面構造図である。

【図 3】実施形態 1 に係る反射型画像表示装置の製造段階を示す断面構造図である。

【図 4】実施形態 1 に係る反射型画像表示装置の製造段階を示す断面構造図である。

【図 5】実施形態 1 に係る反射型画像表示装置の製造段階を示す断面構造図である。

【図 6】実施形態 1 に係る反射型画像表示装置の製造段階を示す断面構造図である。

【図 7】実施形態 1 に係る反射型画像表示装置の製造段階を示す断面構造図である。

【図 8】実施形態 1 に係る反射型画像表示装置の製造段階を示す断面構造図である。

【図 9】実施形態 1 に係る反射型画像表示装置の製造段階を示す断面構造図である。

【図 10】実施形態 1 に係る反射型画像表示装置の遮光機能を説明するための 2 画素分の断面構造図である。

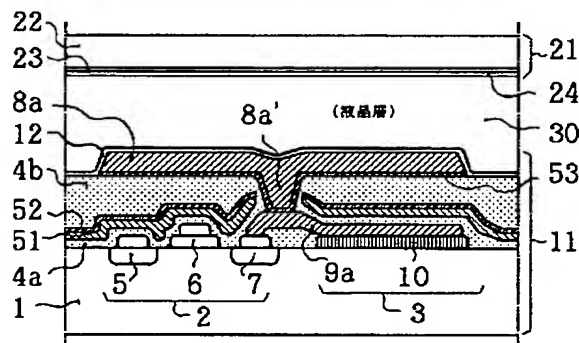
【図 11】実施形態 2 に係る反射型画像表示装置の 1 画素分の断面構造図である。

【図 12】実施形態 2 に係る反射型画像表示装置の製造段階を示す断面構造図である。

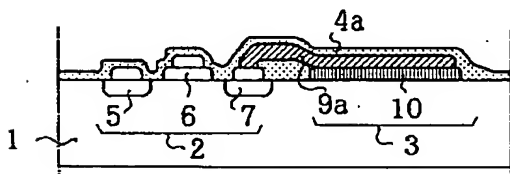
【図 13】実施形態 3 に係る反射型画像表示装置の 1 画素分の断面構造図である。

【図 14】実施形態 3 に係る反射型画像表示装置の製造段階を示す断面構造図である。

【図 1】



【図 3】



【図 15】実施形態 3 に係る反射型画像表示装置の製造段階を示す断面構造図である。

【図 16】実施形態 4 に係る反射型画像表示装置の 1 画素分の断面構造図である。

【図 17】実施形態 5 に係る反射型画像表示装置の 2 画素分の断面構造図である。

【図 18】実施形態 6 に係る反射型画像表示装置の 2 画素分の断面構造図である。

【図 19】従来の一般的な反射型画像表示装置の 1 画素分の断面構造図である。

【図 20】反射型画像表示装置の等価回路図である。

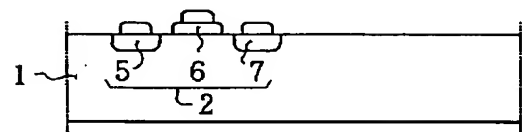
【図 21】従来の反射型画像表示装置でフォトコンダクションが発生した場合のキャリアの移動態様を示すための 2 画素分の断面構造図である。

【図 22】フォトコンダクション対策を施した従来の反射型画像表示装置の 2 画素分の断面構造図である。

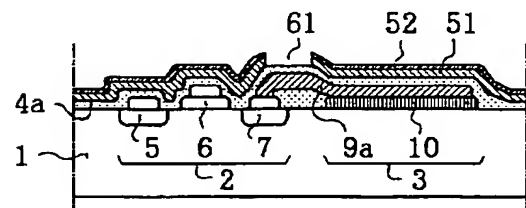
【符号の説明】

1…Si基板、1a…共通ウェル、1b…N型部分、2…MOS-
S-FET、3…電荷蓄積容量、4, 4a, 4b…絶縁体層、5…
ドレイン、6…ゲート、7…ソース、8, 8a…反射電極層、
8a'…柱状接続部(第 2 接続部)、9, 9a…導体部(第 1 接
続部)、9a'…導体部の延在部分、10…絶縁膜、11…能動
素子基板、12, 24…配向膜、21…透明基板、22…ガラス
基板、23…共通電極膜、30…液晶層、41…反射電極層の
隙間、42…反射電極層の隙間に入射する光、51…遮光
層、52, 53…反射防止膜、54…増反射膜層、55…絶縁
物、56…分離領域、57…ウェル、61…反射電極層側との
接続面となる領域、62…スルーホール。

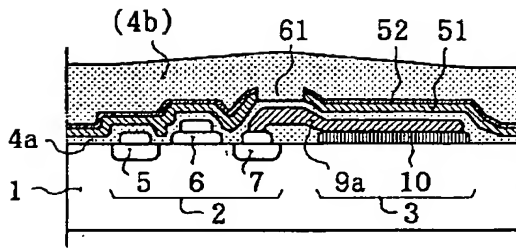
【図 2】



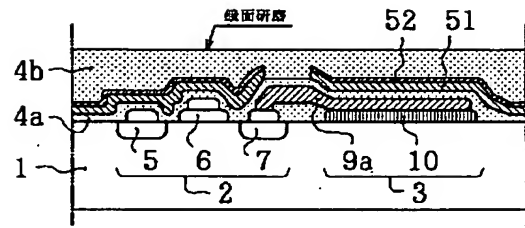
【図 4】



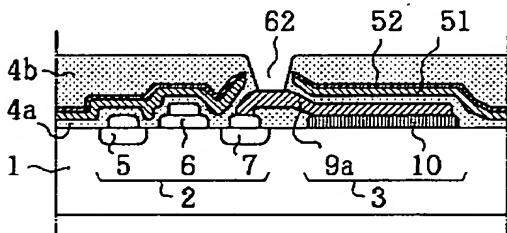
【図 5】



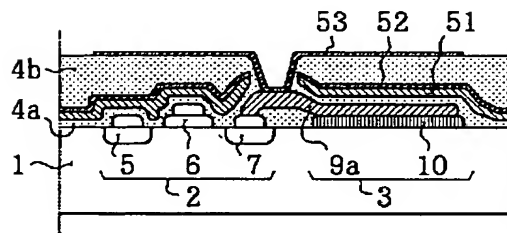
【図 6】



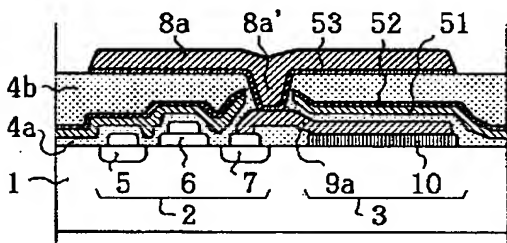
【図 7】



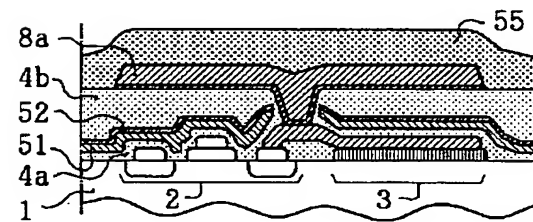
【図 8】



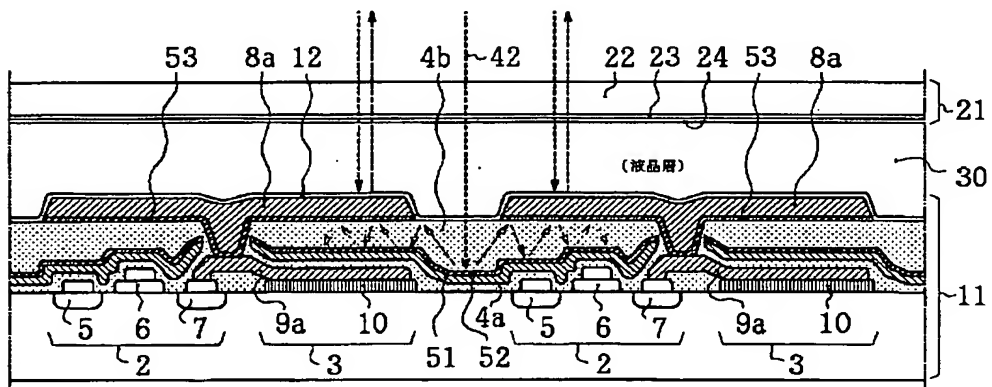
【図 9】



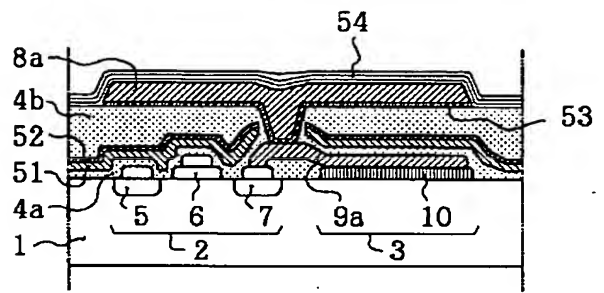
【図 14】



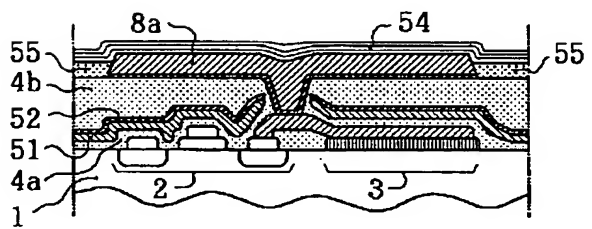
【図 10】



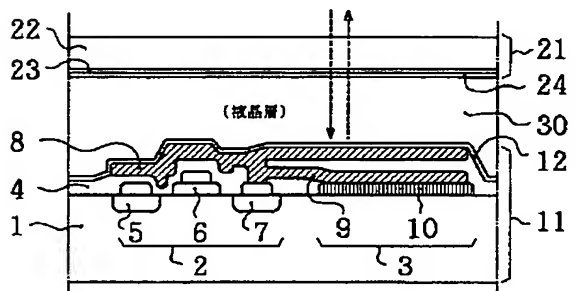
【图 12】



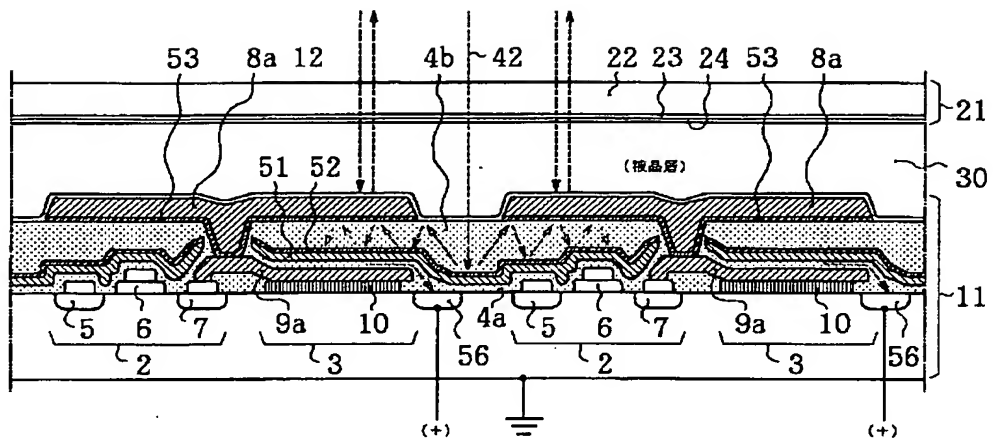
【図 15】



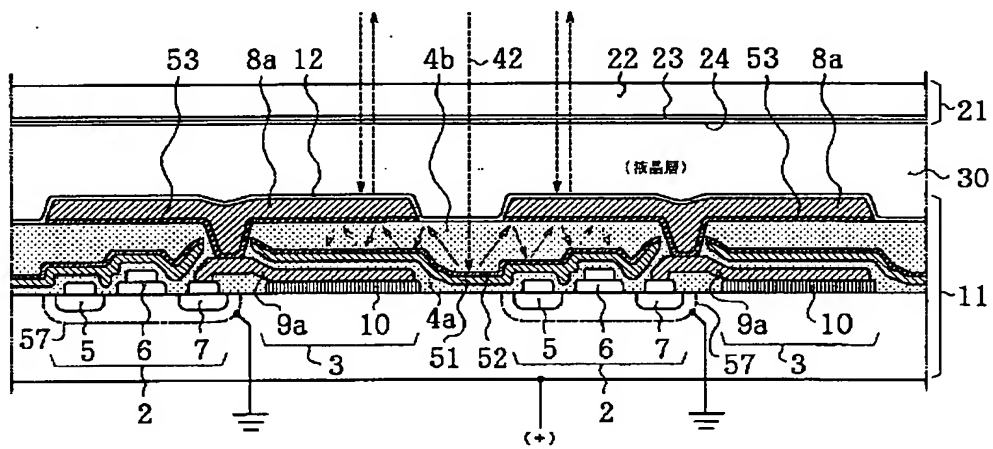
【図 16】



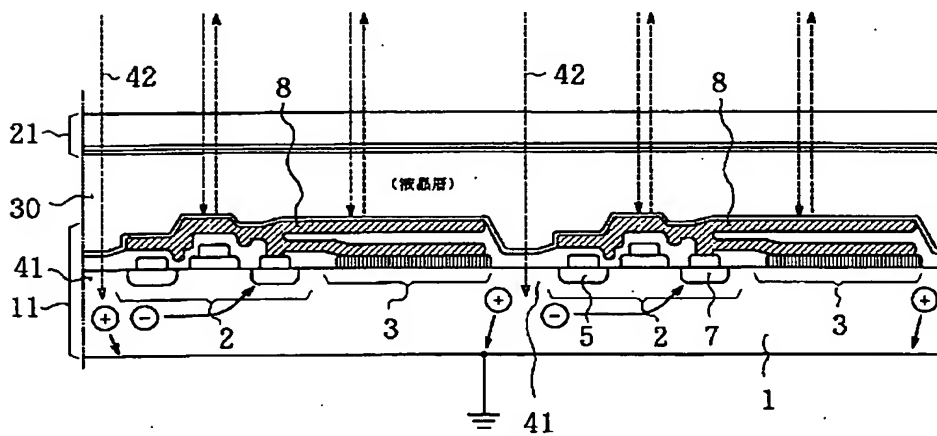
【図 17】



【図 18】



【図 21】



(72)発明者 茂田 正信
神奈川県横浜市神奈川区守屋町 3 丁目 12 番
地 日本ビクター株式会社内

(72)発明者 西端 俊彦
神奈川県横浜市神奈川区守屋町 3 丁目 12 番
地 日本ビクター株式会社内

(72)発明者 本間 明
神奈川県横浜市神奈川区守屋町 3 丁目 12 番
地 日本ビクター株式会社内